

## Method for prevention of autodoping of epitaxial layers

**Patent number:** JP62502438T

**Publication date:** 1987-09-17

**Inventor:**

**Applicant:**

**Classification:**





**- International:** H01L21/20; H01L21/22; H01L21/02; (IPC1-7):  
H01L21/205; H01L21/306

**- european:** H01L21/20; H01L21/22C

**Application number:** JP19860501692 19860303

**Priority number(s):** US19850718758 19850401

**Also published as:**

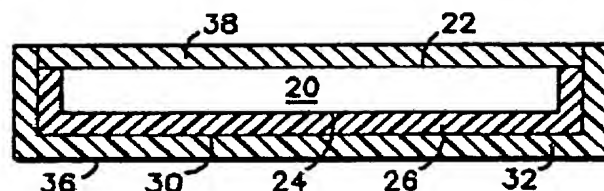
 WO8605922 (A1)  
 EP0216852 (A1)  
 US4662956 (A1)  
 EP0216852 (A4)

Report a data error here

Abstract not available for JP62502438T

Abstract of corresponding document: **US4662956**

A method for the prevention of dopant diffusion from the back side of a doped semiconductor substrate during epitaxial layer growth. The entire surface of the substrate is first covered with a cleanly etchable material. Around the entire first layer is formed a second dopant diffusion barrier layer. The front sides of the layers are then selectively etched away to expose the front side of the substrate upon which the epitaxial layer will be grown without contamination of dopant diffusion from the sealed back side of the substrate.



Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公表

⑫ 公表特許公報(A)

昭62-502438

⑭ 公表 昭和62年(1987)9月17日

⑮ Int. Cl.

識別記号

庁内整理番号

審査請求 未請求

H 01 L 21/205  
21/306

7739-5F  
A-8223-5F

予備審査請求 未請求

部門(区分) 7(2)

(全 7 頁)

⑯ 発明の名称 エピタキシャル層のオートドーピング防止方法

⑰ 特 願 昭61-501692

⑱ 翻訳文提出日 昭61(1986)12月1日

⑲ 出 願 昭61(1986)3月3日

⑳ 国際出願 PCT/US86/00440

㉑ 国際公開番号 WO86/05922

㉒ 国際公開日 昭61(1986)10月9日

優先権主張 ㉓ 1985年4月1日 ㉔ 米国(US) ㉕ 718758

⑳ 発 明 者 ロス, スコット エス

アメリカ合衆国テキサス州78748, オースチン, ロシエーユ, 3004番

㉑ 発 明 者 ステインバーク, ジョー

アメリカ合衆国テキサス州78745, オースチン, ロチャンプトン, 2501番

㉒ 出 願 人 モトローラ・インコーポレーテッド

アメリカ合衆国 イリノイ州 60196, シャンバーグ, イー・アルゴンクイン・ロード, 1303番

㉓ 代 理 人 弁理士 玉蟲 久五郎

㉔ 指 定 国 DE(広域特許), FR(広域特許), GB(広域特許), IT(広域特許), JP, KR, NL(広域特許)

請求の範囲

1. 半導体デバイスの製造法において、

表側及び裏側に有するドーブされた基板の全露出表面にわたりきれいにエッチ可能な材料の第1層を形成するステップ、

きれいにエッチ可能な材料の前記第1層の全露出表面にドーバント拡散障壁材料の第2層を形成するステップ、

ドーブされた基板の表側から両層を除去するステップ、を具えるデバイス形成用基板を準備することを特徴とするエピタキシャル層のオートドーピング防止法。

2. きれいにエッチ可能な材料が2酸化シリコンである前記請求の範囲第1項記載の方法。

3. ドーバント拡散障壁は、シリコン窒化物及びポリシリコンの群より選択される前記請求の範囲第1項記載の方法。

4. 請求の範囲第1項記載の方法で製造される半導体デバイス。

5. ドーブされた基板から拡散されたドーバントにより汚染されないエピタキシャル層を有する半導体デバイスの製造方法において、

ドーブされた半導体基板の表側及び裏側表面にわたりきれいにエッチ可能な材料の第1層を形成するステップ、

第1層の表側及び裏側表面にわたりドーバント拡散障壁材料の第2層を形成するステップ、

その第1層を除去することなく表側表面から第2層を選択的にエッチングするステップ、

追加の第2層ドーバント拡散障壁を除去することなくドーブされた基板の表側から第1層を選択的に湿式エッチングするステップ、

ドーブされた半導体基板の表側にエピタキシャル半導体層を成長するステップ、

を具えるデバイス形成用基板を準備することを特徴とするエピタキシャル層のオートドーピング防止方法。

6. きれいにエッチ可能な材料が2酸化シリコンである前記請求の範囲第5項記載の方法。

7. ドーバント拡散障壁材料は、シリコン窒化物及びポリシリコンよりなる群から選択される前記請求の範囲第5項記載の方法。

8. 前記請求の範囲第5項記載の方法で作られる半導体デバイス。

9. ドーブされたシリコン基板から拡散されたドーバントにより汚染されないエピタキシャルシリコン層を持つ半導体デバイスを製造する方法において、

ドーブされたシリコン半導体基板の表側及び裏側の表面を覆う2酸化シリコンの第1層を形成するステップ、

## 明 細 書

エピタキシャル層のオートドーピング  
防止方法

## 技 術 分 野

本発明は、一般的には、半導体製造プロセス中にドーピングされた基板にエピタキシャル層を与える方法に関し、特に、その様なエピタキシャル層の成長及び半導体デバイス製作中に使用される以後のプロセスの間のオートドーピングの防止方法に関する。

## 背 景 技 術

超大規模集積回路(VLSIC)及び超高速集積回路(VHSIC)技術への継続的発展は、膜の厚さの減少、オートドーピングの最小化、低エピタキシャル温度、非常に低い欠陥レベル及び良好な膜の均一性に関して、シリコン・エピタキシャル・プロセスに精密な要求をしている。この傾向は、ドーピングされた基板上のエピタキシャル層成長の技術改善に、常に圧力を加えている。例えば、固体技術 1981年11月号 第101～第110頁、G.B.Srinivasan の "高性能集積回路用シリコン・エピタキシー" を参照されたい。

この論文に述べられる1つの問題は、エピタキシャル層生成の間のオートドーピングの最小化を含む。オートドーピングは、エピタキシャル層の成長の間望ま

しくない、制御不能なドーピングと定量化され、ドーパントは、反応炉、エピタキシャル成長炉の不純物、処理されるウエハの支持に用いるサセプタ、ドーピング基板エッチング・プロセスまたは、ドーピングされた基板自体、のような考えられない源から発生される。エピタキシャル成長中のドーピングされた基板自体からの外部拡散(out-diffusion)が、オートドーピング現象に対する主な貢献者であるのは決定的である。詳細に言えば、現在の技術で用いられる比較的低温度状態( $<1000^{\circ}\text{C}$ )では、一度エピタキシャル成長が始まってからウエハ表面から外部に拡散されるドーパントは殆んどないから、ドーパント源は、ウエハの裏面である。しかしながら、この状態は、ウエハ表面からのガス相拡散をおとす程充分厳しい。

その第1層を除去せずに表側の表面より第2層を選択的にドライエッチングするステップ。

追加の第2層ドーパント拡散障壁材料を除去せずにドーピングされたシリコン基板の表側から第1層を選択的に湿式エッチングするステップ。

ドーピングされたシリコン基板の表側にシリコン・エピタキシャル層を成長するステップ、を具えるデバイス形成用基板を準備することを特徴とするエピタキシャル層のオートドーピング防止方法。

10. 前記請求の範囲第9項記載の方法により作られる半導体デバイス。

しくない、制御不能なドーピングと定量化され、ドーパントは、反応炉、エピタキシャル成長炉の不純物、処理されるウエハの支持に用いるサセプタ、ドーピング基板エッチング・プロセスまたは、ドーピングされた基板自体、のような考えられない源から発生される。エピタキシャル成長中のドーピングされた基板自体からの外部拡散(out-diffusion)が、オートドーピング現象に対する主な貢献者であるのは決定的である。詳細に言えば、現在の技術で用いられる比較的低温度状態( $<1000^{\circ}\text{C}$ )では、一度エピタキシャル成長が始まってからウエハ表面から外部に拡散されるドーパントは殆んどないから、ドーパント源は、ウエハの裏面である。しかしながら、この状態は、ウエハ表面からのガス相拡散をおとす程充分厳しい。

第1図は、エピタキシャル層10の成長の間に、拡散経路16に沿ってドーピングされた基板14の裏面12から拡散する他のドーパント(ドナー、またはアクセプタ)により、エピタキシャル層10が如何に汚染されるかを図示したものである。オートドーピングは、エピタキシャル層の不純物濃度輪郭(profile)に予想外の変化をおこし、これは、エピタキシャル層の上や中に置かれるデバイスの構造や性能に、不利に影響するから望ましくない。エピタキシャル層は、基板より、より少なくドーピングされることが典型的に好ましいことである。

ドーピングされた基板上のエピタキシャル層及び他の表面層のオートドーピングは、典型的な半導体デバイス製作の他プロセスをウエハが受ける時には、また必ずおこる。

オートドーピング問題の先行技術による解決法は、オートドーピングを最小にするようにエピタキシー成長プロセスを変化することに集中した。実際、この方法(approach)は、エピタキシー成長中のオートドーピングの減少に部分的にのみ成功しているが、後段エピタキシャル層(post-epitaxial layer)プロセス中に起こるオートドーピングは扱わない。他の実施された解決法は、基板裏側のドーパント拡散防止のためエピタキシー成長の前に、ドーパント拡散障壁で基板の裏側にふたをすることであつた。後者の技術では、ドーパント拡散障壁はウエハの裏面にのみデポジット、または、成長され、可能であれば基板ウエハの両面に形成され、それから前面だけ除去された。この論議では、基板の表面側は、常にエピタキシャル層を受け入れる側であるとする。

電子化学学会ジャーナル Vol. 116, No. 11, 1969 11月号, 第1561～1565頁の "急峻なインタフェース不純物輪郭(profile)を持つシリコン・エピタキシャル層" において、D.C.Gupta, その他は、シリコン酸化物、シリコン窒化物、その他のような、絶縁性のエ

ンテ抵抗膜を用い堆積 (deposit) 前に基板表面を密閉することは、エピタキシャル層/基板インターフェースにおける不純物オートドーピング量をかなり減少すると述べている。この研究では基板は硫酸でドーブされた。表面側を密閉するのに用いた材料の詳細は発表されていない。

電子化学学会ジャーナル, Vol. 112, No. 11, 1965年, 11月, 第1100~1106頁の「エピタキシャル・シリコン層における不純物再分布プロセス」において、B.A. Joyce, その他は、基板表面の熱成長酸化膜は、硫酸リン、アンチモン、にたいし外部拡散障壁としてかなり有効であるが、基板が完全に酸化されても、ある程度の外部拡散転送は起こなわれると述べている。さらに外部拡散障壁としての熱酸化物膜の有効度は、第5族ドナーである、リン、砒素、アンチモンに対比して、第3族アクセプタであるガリウム・ドーバントの場合には非常に低い。そこで、シリコン酸化膜はドナーに対するドーバント拡散障壁として利用出来るが、あるドナーに対しては有効度がかわり、いづれのアクセプタに対しては有効性は完全ではない。

ちなみに上述の Gupta その他, により提案されたシリコン窒化物のような他の障壁は、ウエハの上面からきれいにエッチすることができないから問題がある。換言すれば、エピタキシャル層成長の前に、シリコン

窒化物をウエハの表面から除去するために要するプラズマ・エッチングのような乾式エッチング技術は、基板表面の汚染と機械的損傷をまこす。基板の表面のそのような物理的欠陥は、次のエピタキシャル層の結晶格子欠陥に伝搬し、品質の悪い製品となるのはよく知られている。

基板またはウエハの裏面に、他の層がデポジットされるのも既知であるが、これらの層は普通、逆バイアス電極端子として使用されるだけである。Christian, その他, にたいする米国特許第4,485,553号および第4,469,857号は、集積回路デバイス製作用2ウエハ法 (two-wafer method) を説明している。これには、シリコン窒化物層で覆われたシリコン酸化物層の使用を含む多重層保護が開示されているが、保護層は、すでに形成された半導体デバイスを保持するウエハの上面に接着された、独立した支持ウエハの上に置かれる。そこでオートドーピング問題は、この技術では回避不可能である。

#### 発明の簡単な要約

したがって、本発明の目的は、基板の裏面からのドーバント拡散にもとづく、エピタキシャル層の最小オートドーピングを消去することである。

本発明の他の目的は、エピタキシャル層が成長される基板の表面を、汚染しないか又は物理的に損傷しな

いてあろうオートドーピング防止法を提供することである。

本発明のさらに他の目的は、この方法が加えられた後の半導体製造中に、すべてのその後の層を保護するであろうオートドーピング防止法を提供することである。

本発明のさらに他の目的は、広い範囲の基板に適用され、利用可能な技術で実施できるオートドーピング防止法を提供することである。

本発明の以上の目的及び他の目的を履行する際に、ドーブされた基板の全露出面に、きれいにエッチされ得る材料の第1層を形成することにより、オートドーピングからエピタキシャル及び以後の層を保護するであろう半導体デバイスの製造方法が提供される。次に、ドーバント拡散障壁材料が第2層が第1層の全露出面に形成される。最後に、エピタキシャル層の成長が望まれる区域がエッチにより除去される。

#### 図面の簡単な説明

第1図は、ドーブされた基板上のエピタキシャル層の断面を图示し、エピタキシャル層のオートドーピングが如何にかゝるかを説明する図を示す。

第2図は、きれいにエッチされ得る材料層で完全に覆われたドーブされた基板の断面を图示する。

第3図は、本発明にもとづく2保護層で完全に覆わ

れたドーブされた基板の断面を图示する。

第4図は、上部保護層の片側だけがエッチで除去された本発明のドーブされた基板の断面を图示する。

第5図は、基板の表面側がエピタキシャル成長のためきれいに露出され、他方、裏面側が本発明による2保護層を保持しているドーブされた基板の断面を图示する。

第6図は、オートドーピングから保護され、その表面側上にエピタキシャル層を成長させたドーブされた基板の断面を图示する。

第7図は、エピタキシャル層成長の後にオートドーピング防止層が適用された本発明の他の実施例の断面を图示する。

#### 発明の詳細説明

本発明の実施例は、第2図乃至第7図を参照することにより説明される。第2図に图示するのは、表面側22を持つドーブされた基板またはウエハ20であり、この面上には、結局、ドーブされた基板20と同じ導電率型か異なる導電率型のエピタキシャル層が成長されるであろう。ドーブされた基板20はまた裏面側24を持ち、本発明が用いられないとしたら、こゝよりドーバント不純物が拡散されるだろう。基板及びこの上の種々の層の厚さは、明確にするためウエハ直径に対し非常に誇張されている点で、図面は縮尺と一致しないのは理

解されるだろう。

第2図のドーブされた基板20を完全にとり囲み、内部に閉じこめるのは、きれいにエッチ可能な材料の第1層26である。“きれいにエッチ可能な材料”とは、エッチで取り除かれる時にドーブされた基板20の表面22を平滑にし、傷をつけることなく、エピタキシャル成長への準備が出来ている物質を意味する。2酸化シリコン( $\text{SiO}_2$ )は、このきれいにエッチ可能な材料として望ましい物質である。第1層26がきれいにエッチ可能であるのみならず、ドーバント拡散にたいする障壁でもある材料であるのは、非常に望ましい。その様な材料が利用可能であれば、本発明の目的は1保護層で完成されるだろう。しかしながら、除去の後に基板の表面22を十分平滑にし、また、満足すべきドーバント障壁の拡散特性を所有する物質は知られていない。2酸化シリコンはきれいにエッチ可能な物質であるが、前に述べたように完全なドーバント障壁ではなく、アクセプタに対し特にそうである。そこで他の層が必要となる。また第1層の表面28及び裏面30は、基板20の表面22及び裏面24に対応することに注意された。

第3図に図示するのは、ドーブされた基板20は完全にきれいにエッチ可能な材料の第1層で囲み覆われ、次にこの層は、ドーバント拡散障壁材料の第2層で完

全に囲まれることである。第1層26は、ドーブされた基板20の表面22及び裏面24の両面を覆い、第2層32はまた、第1層26の表面28及び裏面30の両面を覆うことに注意されたい。注意したごとく、第2層32は、ドーバント拡散障壁材料でなければならない。第2層32は、エピタキシャル層の成長の間のような高温処理の間、ドーバント不純物(ドナー及びアクセプタ)がそれを通して拡散するのを防止するような材料でなければならないことを意味する。さらに第2層32は、第1層26のエッチ特性とは顕著に異なる特性を示さなければならない。云い方を換えれば、第2層32材料に有効なエッチ手順は、第1層26の材料を實質的にエッチしてはならない。同様に第1層26材料に対し有効なエッチ手順は、第2層32の材料に対し實質的に有効であつてはならない。ドーバント拡散障壁材料として適当で、しかも2酸化シリコンと異なるエッチ特性を持つ材料は、窒化シリコン( $\text{Si}_3\text{N}_4$ )及びポリシリコンを含むが、これらに限られない。

第2層32は、第1層表面28及びドーブされた基板表面22に対応する表面34を持ち、同様に、第1層裏面30及びドーブされた基板裏面24に対応する表面36を持つのは、さらに注意すべきである。

第4図に図示するのは本発明の方法の次の段階(step)の結果で、即ち、第1層26をかなりの程度消耗しない

第2層32の表面34の選択エッチである。例えば第2層32は、ドーバント拡散障壁材料である第2層32と、きれいにエッチ可能な材料の第1層26の間のエッチ速度比を調整することにより、第1層26を消耗せずに、選択的に乾式エッチ、例えば、プラズマ・エッチが可能である。注意したように、このようなエッチが選択的に可能なようにドーバント拡散障壁は選定されなければならない。前に注意したように、有効かつ完全なドーバント障壁及び、きれいにエッチ可能な特性の両方を提供する材料は知られていないので、第2層32はプラズマ・エッチングのような方法で必然的にエッチされなければならないが、この方法は下の層、即ち、第1層26を汚染し、損傷しがちである。しかしエピタキシャル層38は、第1層表面28には成長されないで、第2層表面34のプラズマ・エッチ除去により何等の損傷もかからない。

第5図に図示されるのは、エピタキシャル層38の成長のため、ドーブされた基板20の表面22がすでに露出された基板の断面である。再び必要なのは、きれいにエッチ可能な第1層26の表面28のエッチは、ドーブされた基板20の露出された表面22を、機械的に損傷したり、汚染すべきでない。他に必要なのは、このエッチング・プロセスは、第1層26の材料を選択的に差別的にエッチし、第2層32の材料を、特に第2層32の表面

36を認められるほどエッチせず、ドーバント拡散障壁をその場に維持しなければならない。

湿式エッチング技術は、以上に述べた望ましい結果を与えるため設計されることが可能である。例えば、きれいにエッチ可能な材料の第1層が2酸化シリコン( $\text{SiO}_2$ )で、ドーバント拡散障壁材料の第2層がシリコン窒化物( $\text{Si}_3\text{N}_4$ )であるとすれば、フッ化水素(HF)は、第2層32(この段階では表面36である)の残部を残し、または、全然エッチせずに、第1層26の表面28を除去するであろう。フッ化水素酸エッチは、エピタキシーを受ける露出基板表面22を機械的に損傷も、汚染もしないだろう。ドーブされた基板20の表面24は、第1層26の表面30及び第2層32の表面36を保有するのに注意されたい。

第6図に図示するのは、第5図のように裏面を保護され、その表面22にエピタキシャル層38を持ったドーブされた基板20の断面である。エピタキシャル層38は、以上に述べたように準備されたドーブされた基板20の表面22の上に、ドーブされた基板20の表面24からのオートドーピングもなく成長可能であるのに注意されたい。第2層32の残余の表面36のような、基板20の表面24の位置に残存される一つ以上の拡散障壁によりオートドーピングは妨げられる。これら保護ドーバントの拡散障壁は、ウエハまたは、基板20の表面24にとどま

り、集積回路製作の残り工程を通じ、オートドーピング保護を提供するであろう。さらに、基板20の表面22は、品質を劣化しエピタキシャル層38の欠陥を伝播する可能性がある機械的損傷や感染を受けなかつたことに注意されたい。

本発明の特定の1つの実施例では、ドーパされた基板20は、シリコンであり、普通の方法で成長されたエピタキシャル層38は、ドーパされたシリコンまたは、ドーパされないシリコンである。第1層26は湿式技術できれいにエッチ可能な2酸化シリコンであり、他方、第2層32はプラズマ技術でエッチ可能なシリコン酸化物または、ポリシリコンである。本発明の方法は、特に、ガリウム・砒素(GaAs)基半導体に適当であろうと予期される。本発明のオートドーピング防止方法は、一般製造手順に調和する普通の半導体デバイス・プロセス技術を使い実施され得ることが、また注意されるべきである。換言すれば、慣習上の特別なオートドーピング防止段階(step)を実行するため製造上の流れ(フロー)は、中断される必要はない。本発明のオートドーピング防止手順は、他の技術を用いる段階(step)の複雑さに比較し非常に少ない段階(step)で達成出来ることが、また注目されるべきである。

第1層26及び第2層32の厚さは設計者により、全ての半導体製造段階に耐え、ダイがウエハから切取され

るまで層が有効な形で存在するように、都合よく調整されるべきである。この方法で層26及び32は、可能な限り長く、ドーピング防止を提供する。

第7図に図示するのは、非保護層40のオートドーピングが問題とは考えられない場合の本発明の他の実施例である。この実施例では第1層26及び第2層32は、非保護層40がドーパされた基板20の表面22に成長された後に形成(成長またはデポジット)される。第7図に図示するある段階では第2層32の表面34はすでに除去される。ついで第1層26の表面28は除去され、集積回路製造は非保護層40の露出表面で続けられるであろう。このような実施例では、層40はオートドーピングから保護されないエピタキシャル層でよいが、次の層は保護されるであろう。

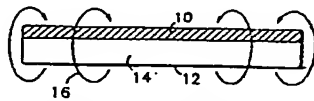


FIG. 1

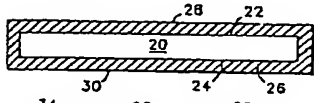


FIG. 2

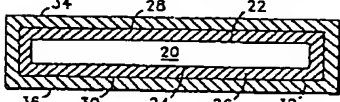


FIG. 3

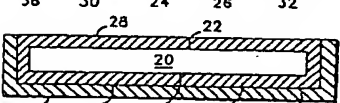


FIG. 4

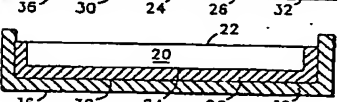


FIG. 5

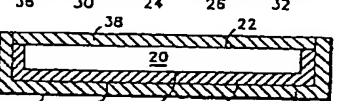


FIG. 6

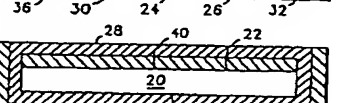


FIG. 7

補正書の翻訳文提出書(特許法第184条7の第1項)

昭和61年12月1日

特許庁長官 黒田 明 雄 殿

1. 特許出願の表示

国際出願番号 PCT/US86/00440

2. 発明の名称

エピタキシャル層のオートドーピング防止方法

3. 特許出願人

住 所 アメリカ合衆国イリノイ州60196, シャンバーグ,  
イー・アルゴンクイン・ロード, 1303番

名 称 モトローラ・インコーポレーテッド

代表者 ラウナー, ビンセント ジェイ

国 籍 アメリカ合衆国

4. 代理人

住 所 東京都豊島区雨月2丁目5番2号

氏 名 (7139) 弁理士 玉 島 久 五 郎

5. 補正書の提出年月日

1986年7月17日

6. 添付書類の目録

(1) 補正書の翻訳文

1

## 請求の範囲

1. (削除)
2. (削除)
3. (削除)
4. (削除)
5. (補正) ドープされた基板から拡散されるドーパントにより汚染されないエピタキシャル層及びその後の層を持つ半導体デバイスの製造法において、

ドーパされた半導体基板の裏側及び裏側の全表面にきれいにエッチ可能な材料の第1層を形成するステップ、

第1層の裏側及び裏側の表面にドーパント拡散障壁の第2層を形成するステップ、

第1層をそこから除去せずに裏側の表面から第2層を選択的にエッチングするステップ、

追加の第2層ドーパント拡散障壁材料を除去せずにドーパされた基板の裏側から第1層を選択的に湿式エッチングするステップ、

ドーパされた半導体基板の裏側にエピタキシャル半導体層を成長させるステップ、

残りのデバイス層が形成される時、ドーパされた半導体基板の裏側表面に第2層ドーパント拡散障壁及びきれいにエッチ可能な材料の第1層を保持するステップ、を具えるデバイス形成用基板を準備することを特徴とするエピタキシャル層を成長させるステップ、

エピタキシャル層を成長させるステップ、

その後の残りの層の形成のあいだドーパされた半導体基板の裏側の上にドーパント拡散障壁材料の第2層及び2酸化シリコンの第1層を保持するステップ、を具えるデバイス用基板を準備することとを特徴とするエピタキシャル層のオートドーピング防止方法。

10. 前記請求の範囲第9項記載の方法により作られる半導体デバイス。

微とするエピタキシャル層のオートドーピング防止方法。

6. きれいにエッチ可能な材料は2酸化シリコンである前記請求の範囲第5項記載の方法。

7. ドーパント拡散障壁材料はシリコン窒化物及びポリシリコンよりなる群から選択される前記請求の範囲第5項記載の方法。

8. 前記請求の範囲第5項の方法で作られる半導体デバイス。

9. (補正) ドープされたシリコン基板より拡散されるドーパントにより汚染されないエピタキシャル層及びその後の層を持つ半導体デバイスの製造法において、

ドーパされたシリコン半導体基板の裏側及び裏側の表面を覆い2酸化シリコンの第1層を形成するステップ、

第1層の裏側及び裏側の表面を覆いシリコン窒化物からなるドーパント拡散障壁材料の第2層を形成するステップ、

第1層をそこから除去せずに裏側の表面から第2層を選択的にドライエッチングするステップ、

追加の第2層ドーパント拡散障壁を除去せずにドーパされたシリコン基板の裏側から第1層を選択的に湿式エッチングするステップ、

ドーパされたシリコン基板の裏側の上にシリコン、

## 国際調査報告

1. CLASSIFICATION OF SUBJECT MATTER According to International Patent Classification (IPC) or to both International Classification and IPC: INT. CL. 4 H01L 21/20 H01L 21/203 H01L 21/205 H01L 22/225 U.S. CL. 29/576E; 148/174; 175; 148/Dig. 7:156/612; 156/643; 653** 2. FIELD OF SEARCH																													
3. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category</th> <th>Classification of Document, if with indication, where appropriate, of the relevant paragraph</th> <th>Relevant to Claim No. 10</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US, A, 3,559,281, Published, 02 February 1972 (Mayberry et al), see entire document</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US, A, 3,600,241, Published, 17 August 1971, (Doo et al), see col. 1, lines 13-25</td> <td>1-10</td> </tr> <tr> <td>Y</td> <td>US, A, 3,663,319, Published, 16 May 1972, (Rose), see col. 2, lines 13-70</td> <td>1-10</td> </tr> <tr> <td>X</td> <td>US, A, 3,745,423, Published, 10 July 1973, (Kasano), see entire document</td> <td>1-8</td> </tr> <tr> <td>X</td> <td>US, A, 3,769,104, Published, 30 October 1973, (Ono et al), see col. 2 lines 23-30</td> <td>1-8</td> </tr> <tr> <td>X</td> <td>US, A, 3,839,082, Published, 01 October 1974 (Kasano), see cols. 3 and 4</td> <td>1-8</td> </tr> <tr> <td>X</td> <td>US, A, 3,929,528, Published, 30 December 1975 (Davidson et al), see entire document</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>US, A, 4,468,857, Published, 04 September 1984, (Christian et al), see col. 2, line 26 - col. 3, line 2</td> <td>1-10</td> </tr> </tbody> </table>			Category	Classification of Document, if with indication, where appropriate, of the relevant paragraph	Relevant to Claim No. 10	A	US, A, 3,559,281, Published, 02 February 1972 (Mayberry et al), see entire document	1-10	A	US, A, 3,600,241, Published, 17 August 1971, (Doo et al), see col. 1, lines 13-25	1-10	Y	US, A, 3,663,319, Published, 16 May 1972, (Rose), see col. 2, lines 13-70	1-10	X	US, A, 3,745,423, Published, 10 July 1973, (Kasano), see entire document	1-8	X	US, A, 3,769,104, Published, 30 October 1973, (Ono et al), see col. 2 lines 23-30	1-8	X	US, A, 3,839,082, Published, 01 October 1974 (Kasano), see cols. 3 and 4	1-8	X	US, A, 3,929,528, Published, 30 December 1975 (Davidson et al), see entire document	1-8	A	US, A, 4,468,857, Published, 04 September 1984, (Christian et al), see col. 2, line 26 - col. 3, line 2	1-10
Category	Classification of Document, if with indication, where appropriate, of the relevant paragraph	Relevant to Claim No. 10																											
A	US, A, 3,559,281, Published, 02 February 1972 (Mayberry et al), see entire document	1-10																											
A	US, A, 3,600,241, Published, 17 August 1971, (Doo et al), see col. 1, lines 13-25	1-10																											
Y	US, A, 3,663,319, Published, 16 May 1972, (Rose), see col. 2, lines 13-70	1-10																											
X	US, A, 3,745,423, Published, 10 July 1973, (Kasano), see entire document	1-8																											
X	US, A, 3,769,104, Published, 30 October 1973, (Ono et al), see col. 2 lines 23-30	1-8																											
X	US, A, 3,839,082, Published, 01 October 1974 (Kasano), see cols. 3 and 4	1-8																											
X	US, A, 3,929,528, Published, 30 December 1975 (Davidson et al), see entire document	1-8																											
A	US, A, 4,468,857, Published, 04 September 1984, (Christian et al), see col. 2, line 26 - col. 3, line 2	1-10																											
4. CERTIFICATION Date of the Actual Completion of the International Search: 08 May 1986 Date of Mailing of this International Search Report: 30 May 1986 International Searching Authority: ISA/US Signature of International Officer: JOHN F. NIERLING Signature of Examiner: William G. SEBASTIAN, SENIOR PATENT EXAMINER																													

Form PCT/ISA/206 (Issued March 1985)

International Application No. PCT/US35/00880

Category	Claims of Document, 11 with additions, where appropriate, of the national counterparts	Referred to Claim No. 11
A	US, N, I.B.M. Technical Disclosure Bulletin, July 1962, vol. 5, No. 2, Doo et al, "Growing High Resistivity Epitaxial Films on Low Resistivity Silicon Substrates", pp. 50-51	1-10
Y	US, N, Journal Of The Electrochemical Society vol. 112, No. 11, November 1965, Joyce et al, "Impurity Redistribution Processes In Epitaxial Silicon Layers", pp. 1100-1106	1-10
A	US, N, Solid State Technology, October 1968, Gupta et al "Advances In Silicon Epitaxial Technology", pp. 48-53	1-10
A	US, N, Journal Of The Electrochemical Society, vol. 116, No. 11, November 1969, Gupta et al, "Silicon Epitaxial Layers With Abrupt Interface Impurity Profiles", pp. 1551-1565	1-10
X	US, N, I.B.M. Technical Disclosure Bulletin, November 1970, vol. 12, No. 16, Bratter et al, "Dielectric Structure As An Outdiffusion Barrier", pp. 1422	1-8
A	US, N, Solid State Technology, November 1981, Srinivasan, G.R., "Silicon Epitaxy For High Performance Integrated Circuits"	1-10
A	US, A, 4,485,553, Published, 04 December 1982, (Christian et al), see entire document	1-10

Form PCT/ISA-716 (first sheet) October 1982

International Application No. PCT/US35/00880

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

\*\*\* 657 427/85, 85, 87

**III OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNREASONABLE**

This international search report has not been substantiated in respect of Article 17C(2) (a) for the following reasons:

☐ Claim numbers ..... because they relate to subject matter not required to be searched by this authority, namely:

☐ Claim numbers ..... because they relate to parts of the international application that do not comply with the search rules required to be searched in order that no meaningful international search can be carried out in, accordance with:

**IV OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING**

The international Searching Authority found multiple inventions in this international application as follows:

☐ As all required additional search fees have been paid by the applicant, this international search report covers all searchable claims of the international application.

☐ As only some of the required additional search fees have been paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, searchably claimed.

☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by state members:

☐ As all searchable claims could be searched without effect (pending an additional fee, the international Searching Authority did not make payment of any additional fee.

☐ The additional search fees were accompanied by applicant's protest.

☐ The applicant acknowledged the payment of additional search fees.

Form PCT/ISA-716 (supplemental sheet) (2) (October 1982)